

Japanese Patent Application Laid-open No. hei 9-64193

Abstract

[Subject] Source/drain formation of a high and low voltage resistant MOSFET is performed by a one-time ion injection, while providing high reliability.

[Solving Means]1) When a high voltage resistant FET and a low voltage resistant FET are formed on a same substrate, a field oxide film 1 is selected and formed on the substrate, a first gate oxide film 2 is formed, a first resist film is formed by opening a low voltage resistant region and opening a region other than a region to be used as a high voltage resistant gate oxide film and a region to be formed with a high voltage resistant low concentration diffusion layer 6, the first gate oxide film 2 is removed by etching by using the first resist film as a mask, a second gate oxide film 3 which is thinner than the first gate oxide film is formed on the substrate, a gate electrode 4 is formed on the low voltage resistant second gate oxide film and the high voltage resistant first gate oxide film, a second resist film is formed by opening a high voltage resistant region on the substrate, the low concentration diffusion layer 6 is formed by ion injection, and a high concentration diffusion layer 8 of the low voltage resistant and high voltage resistant source/drain regions is formed by ion injection.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-64193

(43) 公開日 平成9年(1997)3月7日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8234		H 0 1 L 27/08	1 0 2 A
	27/088		29/78	3 0 1 P
	29/78			3 0 1 G
	21/336			

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平7-221618

(22) 出願日 平成7年(1995)8月30日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 渡辺 秋好

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

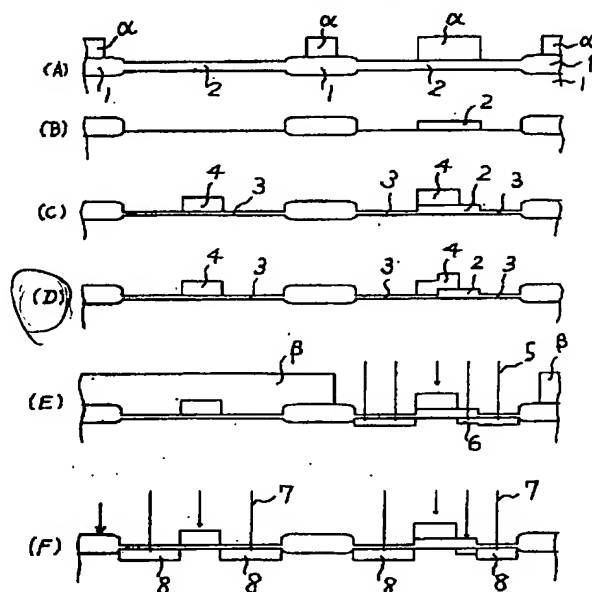
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】 (修正有)

【課題】 高低両耐圧MOS FET のソースドレイン形成を1回のイオン注入で行い、且つ高信頼度化を図る。

【解決手段】 1) 同一基板上に高耐圧FET と低耐圧FET を形成する際に、基板上にフィールド酸化膜1を選択成長し、第1ゲート酸化膜2を成長し、低耐圧領域を開口し且つ高耐圧のゲート酸化膜として使用する領域と高耐圧の低濃度拡散層6を形成する領域とを除いた領域を開口した第1レジスト膜を形成し、第1レジスト膜をマスクにして、第1ゲート酸化膜2をエッチング除去し、基板上に第1ゲート酸化膜より薄い第2ゲート酸化膜3を形成し、低耐圧の第2ゲート酸化膜上及び高耐圧の第1ゲート酸化膜上にゲート電極4を形成し、基板上に高耐圧領域を開口した第2レジスト膜を形成し、イオン注入により低濃度拡散層6を形成し、イオン注入により低耐圧及び高耐圧のソースドレイン領域の高濃度拡散層8を形成する。

実施例の説明図



【特許請求の範囲】

【請求項1】 同一シリコン基板上に第1のMOS FET と第2のMOS FET を形成する際に、シリコン基板上に第1のゲート絶縁膜を成長し、第2のMOS FET 領域を開口し且つ第1のMOS FET のゲート絶縁膜として使用する領域と第1のMOS FET の低濃度拡散層を形成する領域とを除いた領域を開口した第1のレジストパターンを形成する第1工程と、該第1のレジストパターンをマスクにして、第1のゲート絶縁膜をエッチング除去し、該第1のレジストパターンを除去する第2工程と、該シリコン基板上に該第1のゲート絶縁膜より薄い第2のゲート絶縁膜を形成し、次いで、第2のMOS FET の第2のゲート絶縁膜上及び第1のMOS FET の第1のゲート絶縁膜上にゲート電極を形成する第3工程と、該シリコン基板上に第1のMOS FET 領域を開口した第2のレジストパターンを形成し、イオン注入により低濃度拡散層を形成し、該第2のレジストパターンを除去する第4工程と、イオン注入により第2のMOS FET 及び第1のMOS FET のソースドレイン領域の高濃度拡散層を形成する第5工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 前記第3工程において、第1のMOS FET 側にゲート電極を第1のゲート絶縁膜上及びソース側の第2のゲート絶縁膜上にまたがって形成することを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に係り、特に、同一基板上に2種類の耐圧が異なるMOS FET を形成する方法に関する。

【0002】この場合、2種類の耐圧が異なるMOS FET はゲート絶縁膜（以下ゲート酸化膜と記す）厚が異なり、特に高耐圧のMOS FET はオフセットドレイン構造を有する場合が多い。

【0003】

【従来の技術】第2のMOS FET（低耐圧MOS FET と記す）とオフセットドレイン構造の第1のMOS FET（高耐圧のMOS FET と記す）とを有する半導体装置の製造方法の従来例を図2、3を用いて説明する。

【0004】図2(A)～(E)は従来例1の説明図である。図で左側に低耐圧MOS FET を、右側に高耐圧MOS FET を形成する。図2(A)において、シリコン基板11上にフィールド酸化膜1を選択成長し、高耐圧用の厚い第1のゲート酸化膜2を成長し、低耐圧側を開口したレジストパターン α を形成する。

【0005】図2(B)において、レジストパターン α をマスクにして、低耐圧側の第1のゲート酸化膜2をフッ酸系溶液でエッチング除去し、マスクを除去、第1のゲート酸化膜2より薄い第2のゲート酸化膜3を形成する。

【0006】次いで、低耐圧側及び高耐圧側にゲート電

極4を形成する。ここで、ソースドレイン形成用のイオン注入を低耐圧側及び高耐圧側で同時に行うと、厚い方の酸化膜に合わせると薄い方には深く入り過ぎ、浅い方に合わせると、厚い方はシリコン基板に届かなくなる。そこで、レジストパターン β 、 γ を用いて低耐圧側及び高耐圧側で別々にイオン注入を行う。

【0007】図2(C)において、高耐圧側を開口したレジストパターン β を形成し、ドーズ量が12～13乗オーダのイオン注入5により低濃度拡散層6を形成する。図2(D)において、低耐圧側を開口したレジストパターン γ を形成し、ドーズ量が15乗オーダのイオン注入7により高濃度拡散層8を形成する。

【0008】図2(E)において、低耐圧側を覆い且つ高耐圧側のオフセット部を除いた領域を開口したレジストパターン δ を形成し、ドーズ量が15乗オーダのイオン注入7'により高濃度拡散層8'を形成する。

【0009】図3(A)～(E)は従来例2の説明図である。図で左側に低耐圧MOS FET を、右側に高耐圧MOS FET を形成する。この例は、低耐圧部と高耐圧部のソースドレインを一度のイオン注入で形成可能にするため、ゲート電極形成後にフッ酸系溶液を用いて全素子領域の酸化膜を除去してしまう方法である。

【0010】図3(A)において、シリコン基板11上にフィールド酸化膜1を選択成長し、高耐圧用の厚い第1のゲート酸化膜2を成長し、低耐圧側を開口したレジストパターン α を形成する。

【0011】図3(B)において、レジストパターン α をマスクにして、低耐圧側の第1のゲート酸化膜2をフッ酸系溶液でエッチング除去し、マスクを除去、第1のゲート酸化膜2より薄い第2のゲート酸化膜3を形成する。

【0012】次いで、低耐圧側及び高耐圧側にゲート電極4を形成する。図3(C)において、フッ酸系溶液を用いて、素子領域の酸化膜を除去する。図3(D)において、イオン注入時のダメージ緩和用の酸化膜を形成し、高耐圧側を開口したレジストパターン β を形成し、ドーズ量が12～13乗オーダのイオン注入5により低濃度拡散層6を形成する。低耐圧側を開口したレジストパターン γ を形成し、ドーズ量が15乗オーダのイオン注入7により高濃度拡散層8を形成する。

【0013】図3(E)において、低耐圧側を開口し且つ高耐圧側のオフセット部を除いた領域を開口したレジストパターン ϵ を形成し、ドーズ量が15乗オーダのイオン注入7により低耐圧及び高耐圧側のソースドレイン領域の拡散層8を形成する。

【0014】

【発明が解決しようとする課題】従来例1では工程数が多く、特にCMOSプロセスの場合は両方のチャネルのMOSFET についてこの方法を行うことになり、冗長なプロセスとなる。

【0015】一方、従来例2では、この問題を回避できるが、ゲート電極をマスクにしてソースドレイン上の酸化膜をフッ酸系溶液で除去するため、ゲート電極端からゲート酸化膜の浸食が発生する。これは後の熱酸化工程等で埋まりはするが、ホットキャリアによる劣化を加速したり、ゲート酸化膜の絶縁破壊耐性を弱める結果となる。

【0016】本発明は高低両耐圧MOS FET のソースドレイン形成を1回のイオン注入で行い、且つ高信頼度化を図ることを目的とする。

【0017】

【課題を解決するための手段】上記課題の解決は、

1) 同一シリコン基板上に高耐圧MOS FET と低耐圧MOS FET を形成する際に、シリコン基板上にフィールド酸化膜を選択成長し、第1のゲート酸化膜を成長し、低耐圧MOS FET 領域を開口し且つ高耐圧MOS FET のゲート酸化膜として使用する領域と高耐圧MOS FET の低濃度拡散層を形成する領域とを除いた領域を開口した第1のレジストパターンを形成する第1工程と、該第1のレジストパターンをマスクにして、第1のゲート酸化膜をエッチング除去し、該第1のレジストパターンを除去する第2工程と、該シリコン基板上に該第1のゲート酸化膜より薄い第2のゲート酸化膜を形成し、次いで、低耐圧MOS FET の第2のゲート酸化膜上及び高耐圧MOS FET の第1のゲート酸化膜上にゲート電極を形成する第3工程と、該シリコン基板上に高耐圧MOS FET 領域を開口した第2のレジストパターンを形成し、イオン注入により低濃度拡散層を形成し、該第2のレジストパターンを除去する第4工程と、イオン注入により低耐圧MOS FET 及び高耐圧MOS FET のソースドレイン領域の高濃度拡散層を形成する第5工程とを有する半導体装置の製造方法、あるいは

2) 前記第3工程において、高耐圧MOS FET 側にゲート電極を第1のゲート酸化膜上及びソース側の第2のゲート酸化膜上にまたがって形成することを特徴とする前記1記載の半導体装置の製造方法により達成される。

【0018】本発明によると、高低両耐圧MOS FET のソースドレイン形成を1回のイオン注入で行い、且つゲート電極形成後にフッ酸系溶液による酸化膜除去工程がないため、ゲート酸化膜の浸食現象を防ぐことができるため、デバイスの信頼性が向上する。また、低濃度拡散領域上に残した厚い第1のゲート酸化膜はゲート電極とドレイン上の薄い酸化膜の領域との位置合わせ余裕を提供している。

【0019】更に、ゲート電極の形成位置により、高耐圧MOS FET のソース側のゲート酸化膜厚をドレイン側のそれと同じにもできるし〔図1(C) 参照〕、また薄くする〔図1(D) 参照〕ことができる。後者の場合は耐圧と特性の両面において有利である。従って、デバイス構造の選択の自由度が増す。

【0020】

【発明の実施の形態】図1(A)～(F)は実施例の説明図である。図で左側に低耐圧MOS FET を、右側に高耐圧MOS FET を形成する。

【0021】図1(A)において、p型シリコン(p-Si)基板11上に厚さ500～800 nmのフィールド酸化膜1を選択成長し、厚さ50～80 nmの高耐圧用の厚い第1のゲート酸化膜2を成長し、低耐圧側を開口し且つ高耐圧側のゲート酸化膜として使用する領域と低濃度拡散層を形成する領域を除いた領域を開口したレジストパターン α (第1のレジストパターン)を形成する。このレジストパターン α のソース側開口部はゲート電極を形成する領域まで達してもよいし〔図1(C)〕、また達しなくてもよい〔図1(D)〕。

【0022】図1(B)において、レジストパターン α をマスクにして、第1のゲート酸化膜2をフッ酸系溶液でエッチング除去し、マスクを除去する。図1(C)において、第1のゲート酸化膜2より薄い厚さ10～25 nmの第2のゲート酸化膜3を形成する。

【0023】次いで、低耐圧側及び高耐圧側にゲート電極4を形成する。図1(D)は図1(C)と同じ工程で、ゲート電極4がソース側にずれて形成されたデバイス構造を示す。

【0024】図1(E)において、高耐圧側を開口したレジストパターン β (第2のレジストパターン)を形成し、イオン種：りんイオン(P)、エネルギー：50～100 KeV、ドーズ量： $10^{12} \sim 10^{13} \text{ cm}^{-2}$ のイオン注入5により低濃度拡散層6を形成する。

【0025】図1(F)において、レジストパターン β を除去し、イオン種：砒素イオン(As)、エネルギー：30～70 KeV、ドーズ量： $\sim 10^{13} \text{ cm}^{-2}$ のイオン注入7により低耐圧及び高耐圧側のソースドレイン領域の拡散層8を形成する。

【0026】ここで、低濃度拡散層6上の厚い第1のゲート酸化膜は注入マスクの役目をしている。このとき、実施例のようにpチャネルMOS FET かnチャネルMOS FET のみのデバイスでは、オフセット構造を設ける必要がないので、マスクレス化が可能となる。CMOSプロセスの場合は反対チャネル側を開口しないレジストパターンを通常の場合と同様に形成すればよい。

【0027】実施例では、nチャネルMOS FET について説明したが、pチャネルMOS FET でも同様に本発明は適用可能である。CMOSデバイスではnチャネルMOS FET の一括ソースドレイン形成マスクと、pチャネルMOS FET の一括ソースドレインマスクを用意すればよい。

【0028】

【発明の効果】本発明によれば、高耐圧及び低耐圧MOS FET のソースドレインを1回のイオン注入で行って製造工程数を低減し、且つエッチングによるゲート酸化膜の浸食を防いで高信頼度化を図ることができる。

【図面の簡単な説明】

【図1】 実施例の説明図

【図2】 従来例1の説明図

【図3】 従来例2の説明図

【符号の説明】

1 フィールド酸化膜

2 第1のゲート酸化膜

3 第2のゲート酸化膜

* 4 ゲート電極

5 低濃度イオン注入

6 低濃度拡散層

7 高濃度イオン注入

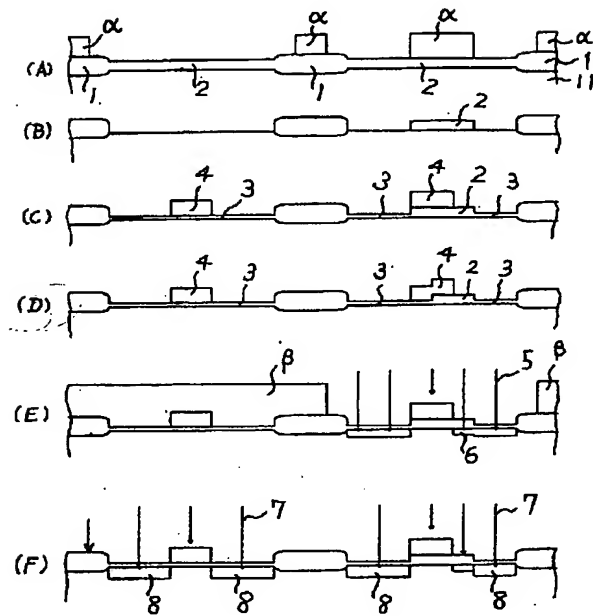
8 高濃度拡散層

11 シリコン基板

* $\alpha \sim \varepsilon$ レジストパターン

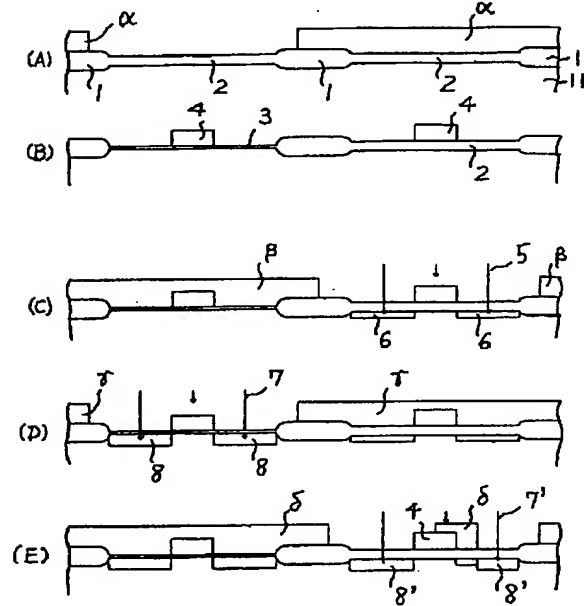
【図1】

実施例の説明図



【図2】

従来例1の説明図



【図3】

従来例2の説明図

